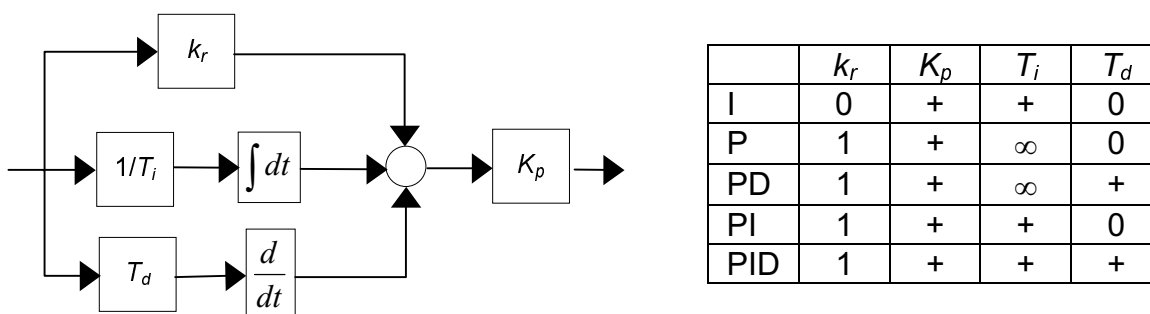


PROCEDURY REGULACYJNE STEROWNIKÓW PROGRAMOWALNYCH

ANDRZEJ DĘBOWSKI
Instytut Automatyki Politechniki Łódzkiej
90-924 Łódź, ul. Stefanowskiego 18/22
e-mail: debowski@ck-sg.p.lodz.pl

Właściwe wykorzystanie procedur regulacyjnych wybranego systemu sterownika wymaga od użytkownika szczegółowej wiedzy na temat praktycznych aspektów zastosowania algorytmu regulacyjnego znanego pod ogólną nazwą uniwersalnego algorytmu PID. Aspekty te zostaną szerzej omówione w artykule.

W dotychczasowych systemach automatyki przemysłowej algorytm PID był realizowany przez osobny regulator sprzętowy – analogowy lub mikroprocesorowy. W systemach automatyki ze sterownikami programowalnymi jest to na ogół specjalna uniwersalna procedura, która musi być właściwie sparametryzowana w programie użytkowym. Dla właściwego wykorzystania jej możliwości dobrze jest pamiętać, że znajomość wartości parametrów dla podstawowego schematu blokowego przedstawionego poniżej nie wystarcza do właściwego skonfigurowania regulatora.



Rys.1. Struktura uniwersalnego regulatora PID.

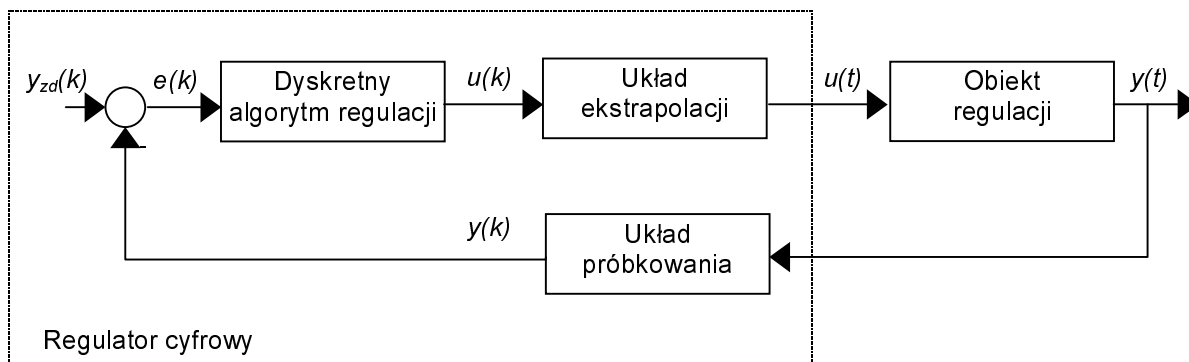
Przy praktycznym wykorzystaniu powyższej ogólnej struktury PID należy uwzględnić dodatkowo następujące zagadnienia:

- 1) wpływ okresu próbkowania na nastawy algorytmu PID,
- 2) wybór formy algorytmu (pozycyjny, prędkościowy) w zależności od rodzaju mechanizmu wykonawczego,
- 3) wprowadzenie ograniczenia na sygnał wyjściowy regulatora z jednoczesnym modyfikowaniem działania części całkującej,
- 4) użycie filtra formującego wartość zadaną bądź modyfikacja struktury regulatora
- 5) regulacja z kompensacją zakłóceń.

Oprogramowanie sterowników programowalnych różnych producentów na ogół pozwala na uwzględnianie wspomnianych zagadnień przy parametryzowaniu procedur regulacyjnych wybranego systemu sterowników.

Dyskretyzacja algorytmu PID

Algorytm PID w komputerowych systemach sterowania musi być realizowany przez szczególną postać regulatora, która może być nazwana regulatorem cyfrowym przedstawionym na rys.2. Cechą charakterystyczną takiego regulatora jest praca ze stałym okresem próbkowania T_p . Układ próbkowania sygnału wyjściowego obiektu regulacji na podstawie sygnału $y(t)$ wyznacza ciąg wartości dyskretnych $y(k)$. Algorytm regulacji na podstawie ciągu wartości dyskretnych uchybu regulacji $e(k) = y_{zd}(k) - y(k)$ określa ciąg dyskretnych wartości sygnału sterującego $u(k)$ dla $k = 0, 1, 2, 3, \dots$. Na wyjściu regulatora cyfrowego znajduje się układ ekstrapolacji, który na podstawie tego ciągu wartości dyskretnych wypracowuje sygnał sterujący obiektem $u(t)$ określony dla każdej chwili czasu t .



Rys.2. Schemat blokowy regulatora cyfrowego.

Dyskretyzacja algorytmu regulacji PID

$$u(t) = K_p \left(e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_d \frac{de(t)}{dt} \right) \quad (1)$$

polega na wprowadzeniu dyskretnych wartości sygnału uchybu regulatora oraz zastąpieniu całki sumą, a pochodnej - różnicą pierwszego rzędu

$$\int_0^t e(t) dt \approx \sum_{i=0}^k e(i) T_p \quad \frac{de(t)}{dt} \approx \frac{e(k) - e(k-1)}{T_p} \quad (2)$$

Oznaczając

$$s(k-1) = \sum_{i=1}^{k-1} e(i) \quad (3)$$

$$\text{i przyjmując } s(k) = s(k-1) + e(k) \quad \text{lub} \quad e(k) = s(k) - s(k-1) \quad (4)$$

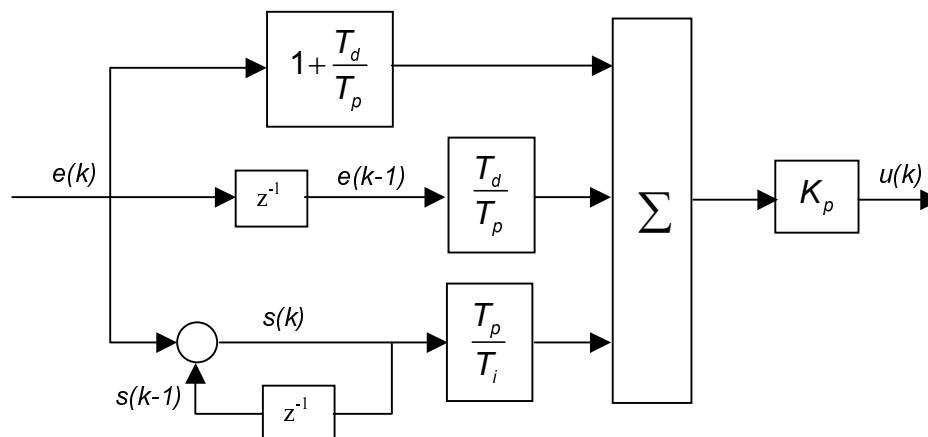
- dla struktury równoległej otrzymujemy po przekształceniach

$$u(k) = K_p \left(e(k) + \frac{T_p}{T_i} s(k) + \frac{T_d}{T_p} (e(k) - e(k-1)) \right) \quad (5)$$

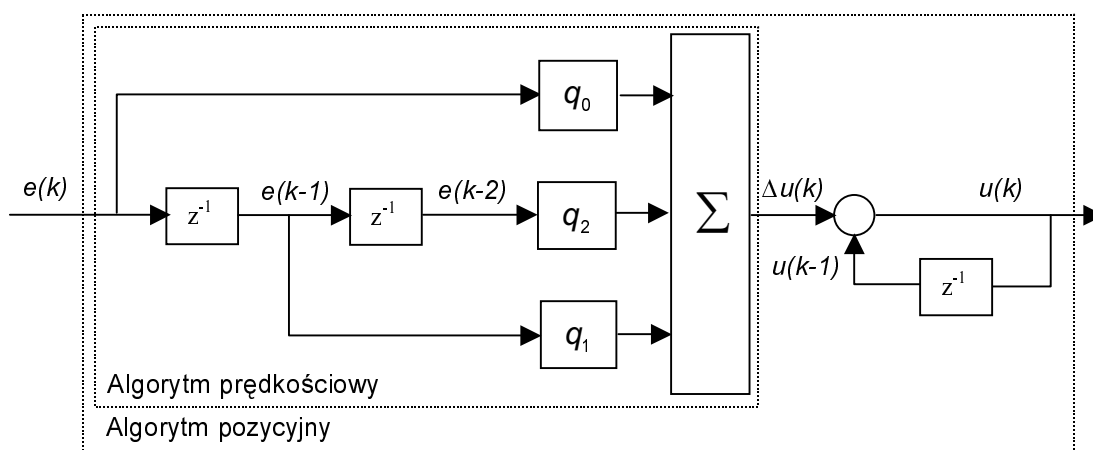
- dla struktury szeregowej otrzymujemy po przekształceniach

$$\Delta u(k) = u(k) - u(k-1) = q_0 e(k) + q_1 e(k-1) + q_2 e(k-2) \quad (6)$$

gdzie: $q_0 = K_p \left(1 + \frac{T_p}{T_i} + \frac{T_d}{T_p} \right); \quad q_1 = -K_p \left(1 + 2 \frac{T_d}{T_p} \right); \quad q_2 = K_p \frac{T_d}{T_p}$



Rys.3. Schemat blokowy dla struktury równoległej dyskretnego algorytmu PID.



Rys.4. Schemat blokowy dla struktury szeregowej dyskretnego algorytmu PID.

Struktura równoległa realizuje wyłącznie tzw. postać pozycyjną algorytmu PID przydatną do zastosowania tam, gdzie mechanizm wykonawczy sterowany z regulatora ma charakter wzmacniacza którego sygnał wyjściowy jest proporcjonalnego do sygnału wyjściowego regulatora $u(k)$. Struktura szeregowa może być natomiast stosowana w dwóch postaciach - pozycyjnej i prędkościowej, zależnie od tego czy sygnałem wyjściowym procedury regulacyjnej jest sygnał $u(k)$ czy jedynie przyrost tego sygnału tzn. $\Delta u(k)$. Postać prędkościowa algorytmu PID przydatna jest tam, gdzie mechanizm wykonawczy sterowany z regulatora ma charakter członu całkującego (np. siłownik bez pozycjonera).

Należy zwrócić uwagę, że jeśli dla dyskretnego algorytmu PID sygnał wyjściowy regulatora będzie odtwarzany przy pomocy przetwornika cyfrowo-analogowego (co oznacza tzw. ekstrapolację zerowego rzędu) to jego nastawy poza wartościami K_p, T_i, T_d muszą uwzględniać aktualny okres próbkowania T_p . Ponieważ w praktyce przy dobieraniu nastaw regulatorów wygodnie jest korzystać z bogatych doświadczeń

dotyczących strojenia regulatorów ciągłych, należy koniecznie o tym pamiętać jeżeli działanie regulatora cyfrowego ma być w pełni równoważne działaniu analogicznego regulatora ciągłego. Nastawy regulatora cyfrowego K_p , T_i , T_d dobrane jak dla regulatora ciągłego nie spowodują większych błędów jeżeli okres próbkowania będzie co najmniej o rząd mniejszy od najmniejszej stałej czasowej obiektu.

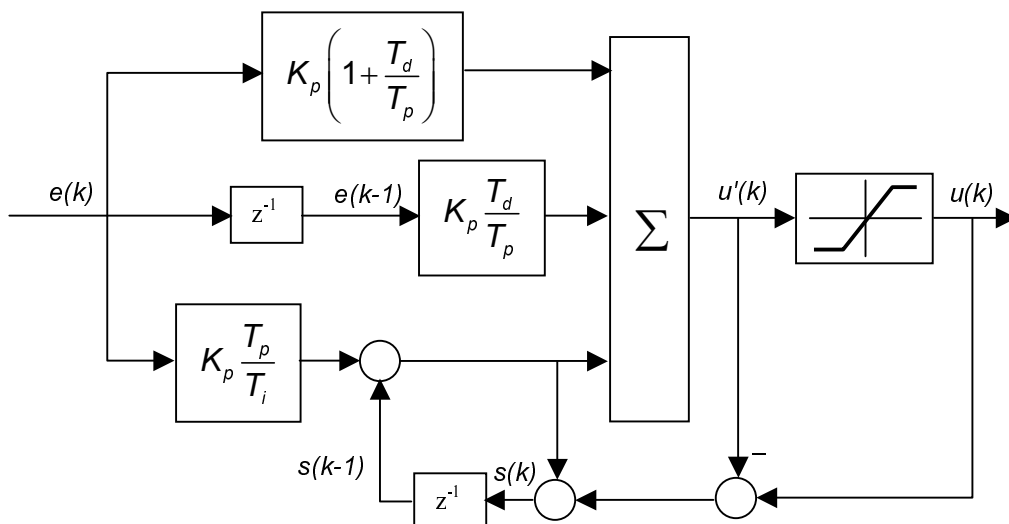
Modyfikowanie działania części całkującej

Wiadomo, że w dobrych regulatorach PID ich działanie powinno być modyfikowane, gdy sygnał wyjściowy regulatora osiąga poziom ograniczenia [1]. Podane wyżej struktury nie nadają się w takiej postaci do bezpośredniego zastosowania w praktyce, gdyż przy wystąpieniu zewnętrznego ograniczenia sygnału wyjściowego regulatora $u(k)$ nie chronią przed niepożądanym zjawiskiem nadmiernego wzrostu wartości sygnałów wewnętrznych związanych z całkowaniem (ang. *windup effect*), przyczyniając się do dłuższego niż potrzeba pozostawania sygnału sterującego na ograniczeniu i wywołując przez to niepożądane przeregulowanie w przebiegu sygnału wyjściowego obiektu. Jednym ze sposobów ograniczenia szkodliwych skutków tego zjawiska jest zwykle zatrzymywanie działania części całkującej regulatora PID w chwili, gdy jego sygnał wyjściowy osiąga ograniczenie. W przypadku struktur analogowych możliwe są także inne sposoby oparte na nieliniowym ujemnym sprzężeniu zwrotnym wokół regulatora [1]. Dla regulatorów cyfrowych możliwe jest jednak dokładne rozwiązanie tego problemu. Sposób uniknięcia efektu "windup" w omawianych strukturach podali Glattfelder, Schaufelberger i Tödli [2].

Dla struktury równoległej algorytm jest następujący:

- krok 1: $s(k) \leftarrow s(k-1) + K_p \frac{T_p}{T_i} e(k)$ oraz $x \leftarrow K_p \left(e(k) + \frac{T_d}{T_p} (e(k) - e(k-1)) \right)$
następnie $u(k) \leftarrow s(k) + x$
- krok 2: Jeżeli $u(k) > U_{\max}$ to $s(k) \leftarrow U_{\max} - x$ oraz $u(k) \leftarrow U_{\max}$ (7)
- krok 3: Jeżeli $u(k) < U_{\min}$ to $s(k) \leftarrow U_{\min} - x$ oraz $u(k) \leftarrow U_{\min}$
- krok 4: $e(k-1) \leftarrow e(k)$, $s(k-1) \leftarrow s(k)$
- krok 5: Powrót do kroku 1.

Algorytmowi temu odpowiada schemat blokowy:



Rys.5. Schemat blokowy dla struktury równoległej algorytmu PID z ograniczeniem sygnału wyjściowego.

Dla struktury szeregowej algorytm jest następujący:

krok 1: $u(k) \leftarrow u(k-1) + q_0 e(k) + q_1 e(k-1) + q_2 e(k-2)$

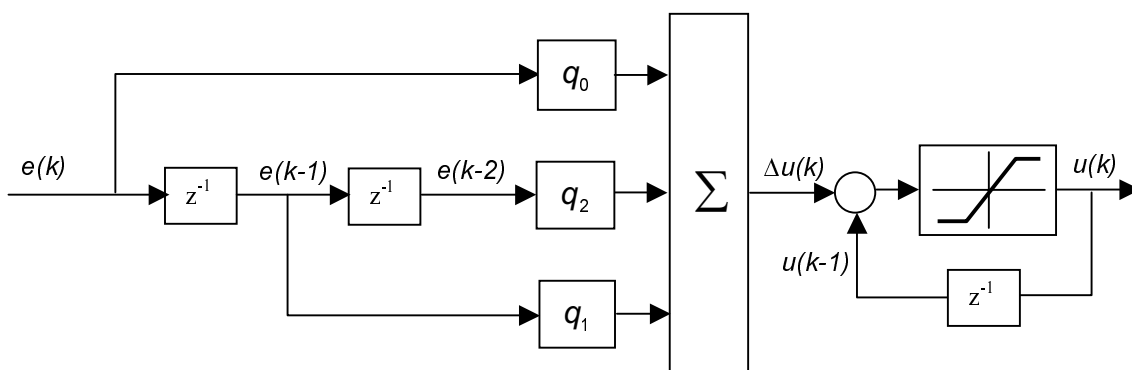
krok 2: Jeżeli $u(k) > U_{\max}$ to $u(k) \leftarrow U_{\max}$

krok 3: Jeżeli $u(k) < U_{\min}$ to $u(k) \leftarrow U_{\min}$ (8)

krok 4: $u(k-1) \leftarrow u(k)$, $e(k-2) \leftarrow e(k-1)$, $e(k-1) \leftarrow e(k)$

krok 5: Powrót do kroku 1.

Algorytmowi temu odpowiada schemat blokowy:



Rys.6. Schemat blokowy dla struktury szeregowej algorytmu PID z ograniczeniem sygnału wyjściowego.

Podane wyżej struktury zapewniają prawidłową pracę regulatora PID przy dużych zakłóceniach lub zmianach wartości zadanej w szerokich granicach. Wprowadzanie zwykłego ograniczenia na sygnał wyjściowy regulatora (bez dodatkowego

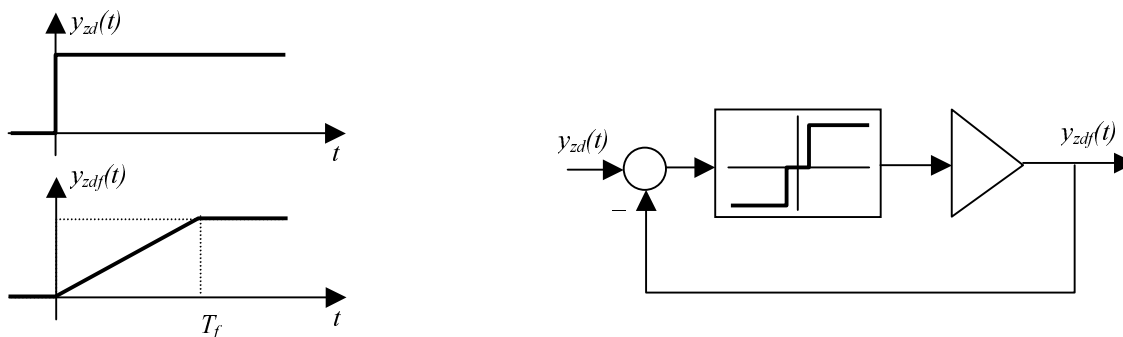
sprężenia zwrotnego) jest niewskazane, jeżeli w regulatorze wykorzystywana jest część całkująca.

Formowanie wartości zdanej

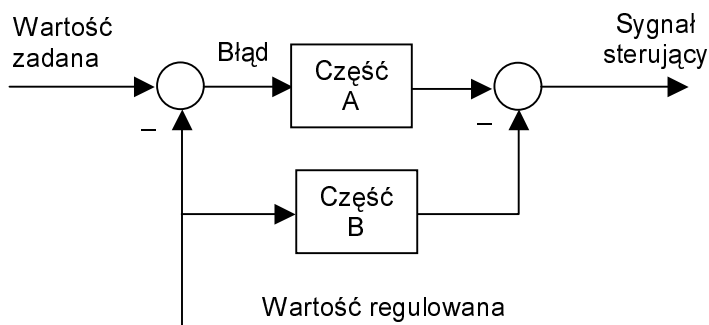
Podstawowym zadaniem regulatora jest minimalizacja błędu regulacji określonego jako różnica między wartością zadaną a wartością regulowaną

$$e(t) = y_{zd}(t) - y(t) \quad (9)$$

Przyjmowanie, że wartość zadana $y_{zd}(t)$ może zmienić się skokowo jest wymaganiem zbyt rygorystycznym w układach praktycznych, gdyż ze względu na zawsze występujące ograniczenia sygnałów sterujących, dla rzeczywistych obiektów regulacji nie jest możliwe osiągnięcie dowolnie krótkiego czasu reakcji. Skoro tak, to zakładając pewien dopuszczalny dla danego układu regulacji czas reakcji można zmieniać wartość zadaną nie skokowo, lecz z ograniczeniem jej szybkości zmian. Oznacza to wprowadzenie na wejście regulatora członu stanowiącego rodzaj filtra formującego wartość zadaną. Filtr ten powinien mieć postać przedstawioną na rys.7 lub być członem inercyjnym pierwszego rzędu ze stałą czasową ok. pięciokrotnie mniejszą od pożądanego czasu regulacji. Dla zakłóceń występujących w obiekcie regulacji przeciwdziałanie regulatora pozostaje niezmienione. Użycie filtra wartości zadanej celowe jest jedynie w przypadku układów regulacji stałowartościowej (stabilizacji) lub programowej; nie należy go używać w układach regulacji nadążnej. Prawidłowo dobrany filtr wartości zadanej pozwala w prosty sposób uniknąć szkodliwych przeregulowań w odpowiedzi skokowej zamkniętego układu regulacji.



Rys.7. Filtr wartości zadanej.

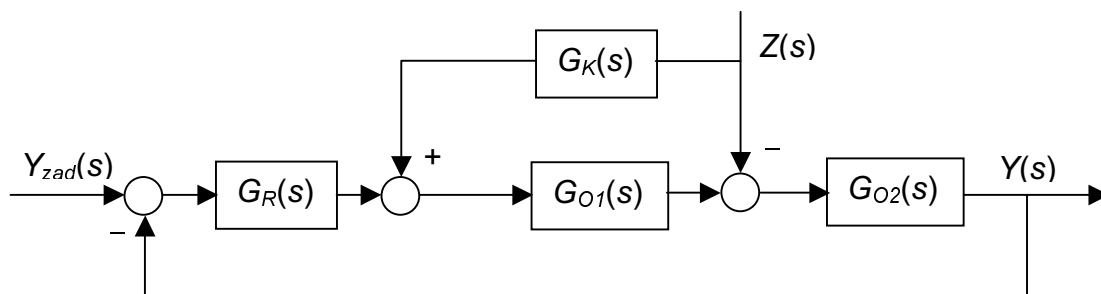


Rys.8. Struktura regulatora zastępująca filtr wartości zadanej.

Zamiast filtru wartości zadanej można zastosować zmianę struktury regulatora polegającą na tym, że błąd regulacji zawierający informację o sygnale wartości zadanej jest przetwarzany tylko przez część regulatora, zaś pozostała część przetwarza jedynie sygnał wyjściowy obiektu (rys.8). Na przykład w przypadku regulatora PI część A powinna być całkująca, zaś część B - proporcjonalna. Natomiast w przypadku regulatora PD część A powinna być proporcjonalna, zaś część B - różniczkująca. Strukturę przedstawioną na powyższym rysunku można również interpretować następująco: część B stanowi układ korekcyjnego ujemnego sprzężenia zwrotnego wokół obiektu regulacji, zaś część A jest właściwym regulatorem dobieranym do współpracy z obiektem skorygowanym dynamicznie.

Kompensacja zakłóceń oddziałujących na obiekt

W wielu układach regulacji skuteczność działania regulatora może zostać poprawiona jeśli istnieje możliwość pomiaru wartości sygnału zakłócającego pracę obiektu. Zastosować można wtedy układ kompensacji wpływu tego zakłócenia na obiekt poprzez dodanie do sygnału wyjściowego regulatora dodatkowego sygnału kompensującego ze znakiem przeciwnym do znaku oddziaływania zakłócenia na obiekt. Ideę układu zamkniętego z kompensacją zakłócenia przedstawiono na rys. 9, przy założeniu, że obiekt można podzielić na dwie części - jedną wstępną, o transmitancji $G_{O1}(s)$, przed miejscem oddziaływania zakłócenia i drugą końcową o transmitancji $G_{O2}(s)$, między miejscem oddziaływania zakłócenia a wyjściem. Można uważać, że człon o transmitancji $G_K(s)$ stanowi rodzaj drugiego regulatora działającego ze specyficznym sprzężeniem "w przód" (ang. *feedforward control*).



Rys.9. Układ regulacji z kompensacją zakłócenia

Jak łatwo sprawdzić, transformata składowej błędu regulacji wywołanego zakłóceniem wyraża się wzorem

$$E_z(s) = (1 - G_{O1}(s)G_K(s)) \frac{G_{O2}(s)}{1 + G_R(s)G_{O2}(s)} Z(s) \quad (10)$$

Jeżeli możliwe jest dobranie w torze kompensacji transmitancji

$$G_K(s) = \frac{1}{G_{O1}(s)} \quad (11)$$

to wpływ zakłócenia na pracę układu zamkniętego zostanie całkowicie wyeliminowany, a regulator $G_R(s)$ wystarczy dobrać do pozostałej części obiektu o prostszej transmitancji $G_{O2}(s)$. W bardzo wielu przypadkach wystarczy, że regulator (11) kompensujący zakłócenie będzie regulatorem typu P lub PD. Sygnał kompensujący

zakłócenie powinien być dodawany do sygnału wyjściowego regulatora przed blokiem realizującym ograniczenie sygnału wypadkowego.

Zakończenie

Procedury regulacyjne sterowników programowalnych w coraz większym stopniu oferują gotowe struktury realizujące przedstawione wyżej zadania. Użytkownik powinien jednak wiedzieć jak należy je prawidłowo wykorzystać aby uzyskać pożądaną efekt. Przy dobieraniu odpowiednich parametrów pozwalających uruchomić taką uniwersalną procedurę regulatora PID należy wiedzieć:

- czy przy wprowadzaniu czasu zdwojenia i czasu wyprzedzenia uwzględniono już konkretny okres próbkowania,
- jak w danej procedurze działa ograniczenie sygnału wyjściowego regulatora,
- czy używana procedura jest algorytmem pozycyjnym czy prędkościowym,
- jak w danej procedurze realizować filtrację wartości zadanej.
- jak w danej procedurze można zrealizować kompensację zakłócenia.

Bibliografia

- [1] Kuźnik J.: More about constraining of the output signal in PID controllers. Materiały konferencji "System-Modelling-Control", Zakopane, 1993, s.291-296.
- [2] Glattfelder A.H., Schaufelberger W., Tödtli J. : Diskrete PID Regler mit Anti-Windup Massnahmen. Biulletin ASSPA, vol.3,1983, s.12-22.